

## 公開特許公報



(2,000円)

## 特許願 (A0) (後記なし)

昭和 48 年 6 月 20 日

特許庁長官殿

1 発明の名称  
コンセイシングセイカイロソウチ  
混成集積回路装置2 発明者  
住 所 大阪府門真市大学門真1006番地  
松下電器産業株式会社内  
氏 名 勝 中 加 美 沢  
(ほか1名)3 特許出願人  
住 所 大阪府門真市大学門真1006番地  
名 称 (582) 松下電器産業株式会社  
代 表 者 松 下 正 治4 代理人  
住 所 大阪府門真市大学門真1006番地  
松下電器産業株式会社内  
氏 名 (5971) 弁理士 中 尾 敏 男  
(ほか1名)  
(送付先 依頼番号453-8111 特許部分第)

## 5 添付書類の目録

- (1) 明細書  
(2) 図面  
(3) 委任状  
(4) 願書副本



1 通  
1 通  
1 通  
1 通

## 明細書

## 1. 発明の名称

混成集積回路装置

## 2. 特許請求の範囲

デュアルインライン型メタルパッケージを使用し、外部リード部材の配列の両外側に整流ダイオードを設置し、上記外部リード部材の配列の内側に、出力トランジスタ、ならびに低出力回路部を構成した厚膜基板を配置し、それぞれの電極と上記外部リード部材との間を相互に電気的接続回路としてなることを特徴とする混成集積回路装置。

## 3. 発明の詳細な説明

本発明は混成集積回路装置（以下混成IC装置という）、特に電圧レギュレータ回路に適した構成の混成IC装置に関するもので、その目的とするところは高電力素子をも含むすべての能動素子をチップ化することにより小形化およびコスト低減を行なうことにある。さらに他の目的は作業性に富んだ製造工程を提供することにより工数低減することにある。さらに他の目的は信頼性および

⑯ 特開昭 50-16862

⑯ 公開日 昭50(1975) 2. 21

⑯ 特願昭 48-70340

⑯ 出願日 昭48(1973) 6. 20

審査請求 未請求 (全5頁)

府内整理番号 ⑯ 日本分類

|         |          |
|---------|----------|
| 6819 57 | 59 94    |
| 7304 58 | 55 B1    |
| 6370 57 | 99(C)C21 |

放熱特性の優れた高電力混成IC装置を実現することにある。

従来、高電力混成IC装置では、高電力素子をも含めたすべての能動素子はチップ化されていない。その大きな理由のひとつとして、低電力素子と高電力素子とでは、組立プロセスに著しい相違があり、組立作業が両立しにくいためであった。特に、高電力素子については、放熱特性を良好ならしめると同時に信頼性についても多大の配慮を要する。そのため、従来は低電力回路部のみをIC化し、ディスクリートの個々にパッケージされた小形高電力素子とを組合せて、ひとつのパッケージ内に組込んだ高電力混成IC装置が多く製作されてきた。しかし、上述の如き高電力混成IC装置では、配線やパッケージの質によって、コスト的にも信頼性の面でも問題があることは明白である。

高電力素子をもチップ化した高電力混成IC装置としては、受動素子を構成した絶縁基板上に、すべての能動素子チップを組込んだものがあるが

次のような欠点を持っている。そのひとつに最初に構成した受動素子回路、および低電力能動素子回路の熱的な制限から、放熱特性を良好ならしめる高電力素子チップの組立てが行えないことが挙げられる。具体的にいえば、高電力素子チップの組立ては一般的には基元界囲気炉中の半田付け作業による場合が多いが、受動素子回路はこの基元界囲気炉に大きく影響されやすい。エボキシ接着剤による接着では放熱は悪くなり、いたずらに大きいヒートスプレッダが必要となる。フックスを使用し、半田付けする例もあるが、あとの洗浄が面倒であるし、信頼性の低下をきたすことが多い。さらに他の欠点は、高電力素子チップのみでは高電力動作特性が検査できないので、組立歩留が悪くなる。すなわち、低電力回路部が構成された絶縁基板に、特性の定かでない高電力素子チップを組込むことになり、低電力回路部を無駄にしてしまうことがはなはだ多くなる。特に付加する高電力素子チップ数が多くなると、歩留は著しく悪化して、信頼性についても、きわめて不安定なものとなる。

本実施例は、自動車用の電源回路をIC化したもので説明を行なうが、一般的の直接定電圧装置についても、ほぼ同様の構造の混成IC装置を実現しうることは汎りまでもない。すなわち、このような回路では、共通的に整流ダイオード部、出力トランジスタ、および低電力回路部より成り立っているからである。

第1図はIC化すべき部分の電気回路図を示す。一般的自動車用の電源回路は、三相交流発電機で発電した電力を、全波整流ダイオードで直流に変換し、バッテリおよび負荷に供給するようになっている。

しかも、その出力電圧はレギュレータによって一定に制御されるようになっている。

第1図において、スイッチS、Wを開の状態にしてエンジンが始動すると発電機が働き、バッテリへの充電が開始する。一定電圧以上になるとデバイド抵抗R<sub>1</sub>、R<sub>2</sub>によって分圧された中点電位も上るので、ゼナーダイオードZ、Dが導通し、ス

のとある。高電力素子は、ノサゲのものに見られるように、接合部の露出したバッショーンなしの素子が多いが、特性の不安定なこれらの素子を組込むことはほとんど不可能である。一般に單体のこのような素子では、組立後にアクタエッティング処理を施し、逆方向特性の改善を図るが、このエッティング条件は、あらかじめ構成した低電力回路部に対して、厳しすぎるので、採用できない。

以上のように、従来例では、コスト、組立作業性、さらに信頼性の面において、著しい欠点を有しており、高電力混成IC装置の大いなる普及を阻んできた。特に電圧レギュレータ回路などの混成IC化を図るに際して、整流ダイオードまでも、すべてチップ化することはほとんど不可能に近い状態であった。

本発明は、以上のような欠点を除去し、コストダウンが可能であり高信頼性を有し、放熱特性および作業性にも優れた高電力混成IC装置を提供しようとするものである。

以下、本発明の実施例を添付図面とともに詳述

する。

イッセイグトランジスタQ<sub>1</sub>は導通状態となり、さらに出力トランジスタQ<sub>2</sub>は不導通状態となる。出力トランジスタQ<sub>2</sub>が不導通状態となれば、フィールド電流がしや断され、発電機の出力電圧は低下するので、バッテリの充電電圧も低下する。一定電圧以下になれば、逆に出力トランジスタQ<sub>2</sub>が導通状態となり、フィールド電流が再び流れ出し、発電機の出力は回復する。このように出力トランジスタQ<sub>2</sub>が導通、不導通の状態を繰り返すことによってバッテリおよび負荷にかかる電圧を一定に制御するようになっている。サージ吸収ダイオードD<sub>7</sub>は、フィールド電流しや断時のフィールドコイルからのサージ電圧を吸収するものである。

以上のように、本回路では、放熱を必要とする高電力素子は、6個の整流ダイオード、D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>、D<sub>5</sub>、D<sub>6</sub>、サージ吸収ダイオードD<sub>7</sub>、出力トランジスタQ<sub>2</sub>の6個の素子となり、他は低電力素子である。

さて以上の回路を本発明により、IC化したものと第2図、第3図によって説明する。第2図は

本発明の複成集積回路装置の構造を示す平面図、第2図は、同じくその断面図である。第2図および第3図において、1は金属製のフランジで、在来の菱形状をなしている点はパワートランジスタ等のノタルパッケージと変わるとろはない。2は複数本の外部リード部材で、一般にデュアルインラインと呼ばれるように、半分ずつ互いに平行に配列されている。第2図では1列6本で、全部で12本になっている。しかも、上記外部カード部材2は二個のフランジ取付穴との結ぶ中心線と直角方向に配列されている。これは上記フランジ1の中心線と平行になっていても、斜めになっていても同様に実施可能である。各外部リード部材2はそれぞれ、絶縁ガラス4によってフランジ1から電気的に絶縁されて、フランジ面に直角に接続されている。外部リード部材2の配列の両外側のフランジ上にはダイオードチップ5が鋼のヒットプレッダ6、6'を介して設けられている。第1図で分るよう、基板ダイオードを上、下、二つに分離して考えると、上側の3個のダイオードD<sub>1</sub>

D<sub>2</sub>、D<sub>3</sub>は共通カソード、下側を側のダイオードD<sub>4</sub>、D<sub>5</sub>、D<sub>6</sub>は共通アノードになっているので、3個ずつを共通のヒートプレッダ上に配列しうることになる。D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>の共通アノード側はフランジ1とは電気的に短絡してもよいが、D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>の共通カソード側は、フランジ1とは電気的に絶縁する必要があるため、ヒートプレッダ6の下には絶縁基板アを設けてある。

一方、出力トランジスタQ<sub>2</sub>のコレクタとサージ吸収ダイオードD<sub>7</sub>のアノードとは共通であるから、これまで同一ヒートプレッダ1ロの上に構成している。この部分もフランジ1とは電気的に絶縁する必要があるために、絶縁基板11が介されている。5は出力トランジスタチップ5はサージ吸収ダイオードチップ5はサージ吸収ダイオードチップを設ける。絶縁基板アおよび11は、熱伝導性を良くするために、ペリリヤ麻器などが使用されることが好ましいが、放熱条件が、それほど必要でない時には、薄いアルミニウム板などでも使用しうる。絶縁基板の両面には、半田付けによる組立が可能なよう、あらかじめ

メタライズ処理が施されている。以上説明したように高電力素子チップ、およびその関連構成部品は、低電力回路部をフランジ上に取付けるに先だって、組立、構成する。その方法は、各構成部品および各高電力素子チップのそれぞれの間に半田筒をはさむ込み、治具にセットした状態のまま半田の溶融温度以上に設定された還元雰囲気炉を一度通過させるだけで組立てられる。12は搭載接着した半田筒を示す。組立に要する設備は、従来よりパワートランジスタなどの組立に一般的に使用されてきたものであり、特別の設備を要せずに、多数個の高電力素子チップが同時に組み上げられる。このようにして、組立てられた各高電力素子チップから発生する熱はヒートプレッダ6、6'、10および、絶縁基板ア、11を通じて、スムーズにフランジ1に導かれるので熱抵抗はきわめて小さくなる。瞬間的な熱の発生に対しても、ヒートプレッダ6、6'、10の大きさ、形状などを考慮すれば、過度熱抵抗の軽減も図れる。各高電力素子チップから、外部リード部材2への電気的

接続配線は、半田付け、溶接などによって一本づつ行なう。図ではそのようにして配線された内部リード部材13を示している。しかし、外部リード部材2および高電力素子チップが規則的に配置されていることは、平板状のリードコムの使用を可能とする。すなわち、打抜きまたはエッチングなどにより全体的には一体化されたリードコムを使用し、外部リード部材2をガイドにしてセットし、半田付けによって相互配線を行なうことができる。一体化されたリードコムの不要箇所は組立後に切り離される。本実施例では、出力トランジスタチップ5のベース配線のみは、後で述べる低電力回路部と電気的に接続されなければならないが、高電力素子のみでの、特性検査を可能ならしめるように、ベース配線も、外部リード部材2のいずれかと仮配線をほどこし、低電力部を取付けた後で、仮配線を切断し、低電力部の必要な電板と接続する。つまり、高電力素子部の組立配線は、一度還元雰囲気炉を通過のみで、ほとんどすべて完了させることができることは、本発明の大き

を判断といえる。高電力素子チップの組立部が完了すればアフタエッティング処理を行ない、逆方向特性の改善を図る。接合部の露出した素子を使用しても、アフタエッティング処理を行なえば、たとえ工程中に接合部を汚染するようなことがあっても、逆方向漏洩電流や耐圧を改善することができる。特に高電力素子数の多い本実施例の場合などには、その歩留向上と、信頼性向上の見通からも、アフタエッティング工程を導入することが有用である。高電力素子部が組上がった段階では、アフタエッティング条件に悪い影響を及ぼしたり、及ぼされる構成部品はないので、十分な特性改善が可能である。

次に、ジャンクションコーティングレジンなどを塗付し、接合部を保護しておく。以上により、高電力素子(8個)の組立が完了すれば、電気的な特性の検査を行なう。チップの状態では行えない高電力動作時の特性も、この時点では十分に検査できるし、各素子が単独に検査できるので、特性的に不安な高電力素子を容易に発見しうる。

ケブロゼクション接着によって言えば、ハーメテックシールされて、ICのすべての組立工程が完了する。

以上のように本発明によれば、金属製のフレンジ<sup>14</sup>に、複数本の外部リード部材<sup>2</sup>を絶縁ガラス<sup>4</sup>を介して、デュアルインライン状に接続してあるメタルパッケージを設け、外部リード部材<sup>2</sup>の列の両外側に整流ダイオードチップ<sup>5</sup>を絶縁基板<sup>1</sup>、ヒートスプレッダ<sup>6</sup>を介して組立て、外部リード部材<sup>2</sup>の列の内側に出力トランジスタチップ<sup>8</sup>を含む高電力部と、低電力回路部を構成した絶縁基板<sup>1</sup>とが組立てられており、外部リード<sup>2</sup>と各高電力素子チップ<sup>5</sup>、<sup>8</sup>をおよび絶縁基板<sup>1</sup>上の電極部とは内部リード<sup>12</sup>によって相互に電気的接続されることにより、すべての能動素子がチップ化され、重複配線や重複パッケージが避けられ、コスト低減、信頼性向上および小型化が可能になる。高出力素子チップの組立配線が一度還元露頭気炉を通すのみで行なえるので、工数が著しく低減される。また、アフタエッテン

ごのことは、ICの信頼性を上げることに繋することよりもより、結果的には、組合歩留を向上させることにもつながる。

一方、電圧制御を行なう低電力部は、アルミナなどの絶縁基板<sup>14</sup>の上に、通常の厚膜回路技術を用いて別個に構成する。すなわち、導体、抵抗体の印刷、焼成、低電力能動素子チップのボンディング、チップコンデンサの組込みなど、既存の技術を駆使して構成する。制御電圧の振幅補償が必要な場合には、厚膜サーミスターなどの特殊な素子をも構成することが可能である。あらかじめ低電力回路部のみは、絶縁基板<sup>14</sup>の上に構成して、單独での特性検査を行なっておいて、外部リード部材<sup>2</sup>…の列の内側に貼り付ける。接着は高電力素子部のように放熱特性を上げる必要はないので、熱伝導性エポキシ接着剤などが使用される。次に厚膜回路基板上の電極部と、外部リード<sup>2</sup>および出力トランジスタ<sup>8</sup>のベースとの間を電気的に接続すれば内部配線は完了する。

最後に点線で示すように金属キャップ<sup>15</sup>をリン

グ処理工程の採用が可能となり、特性の改善が図れるようになり、信頼性および歩留が向上する。また、高出力部と低出力部は別個に構成されるので、特性検査が独立して行なえるようになり、組合歩留の向上を図るとともに、不安定な、高電力素子の発見が容易になる。またデュアルインライン構造であるため、規則的な外部リード<sup>2</sup>および素子の配列となることから、組立作業性が優れているのみならず、ソケットによる特性検査も容易に行なえるようになる。また、ハーメテックシール構造であるため、信頼性は優れており、厳しい使用条件に耐える高信頼度のIC化が可能となる。

從来、高電力素子チップを多数含んだ高電力混成IC装置の実現は、きわめてむずかしかったが、以上のような長所をいかすことにより、本実施例に示すような、整流ダイオードをも含んだ電圧レギュレータのIC化を実現することができるといいうすぐれた利点を有している。

#### 4. 図面の簡単な説明

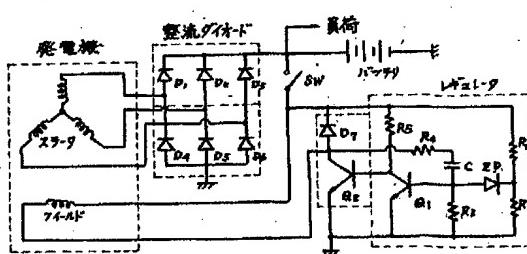
第1図は本発明の実施例を説明するための電気

同第図、第2図は本発明の構成集積回路装置の一構成例を示す平面図、第3図は同装置の断面図である。

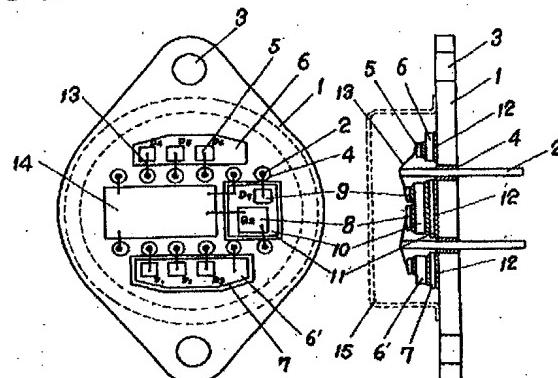
1……フランジ、2……外部リード、4……絶縁ガラス、5、9……ダイオードチップ、6……出力トランジスタチップ、8、10……ヒートスプレッダ、7、11……絶縁基板。

代理人の氏名 弁理士 中尾敏男 担当者名

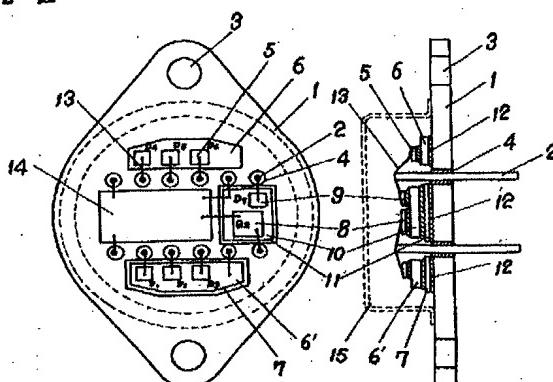
第1図



第2図



第3図



## 6 前記以外の発明者および代理人

## (1) 発明者

住所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏名 プカ  
赤谷

ビアン  
大

## (2) 代理人

住所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏名 (6152) 弁理士 粟野重孝